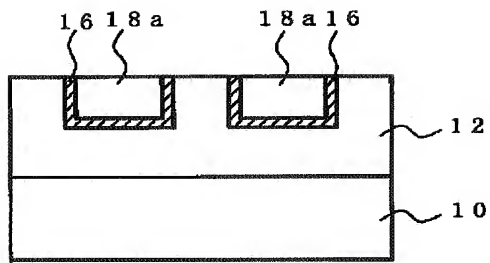
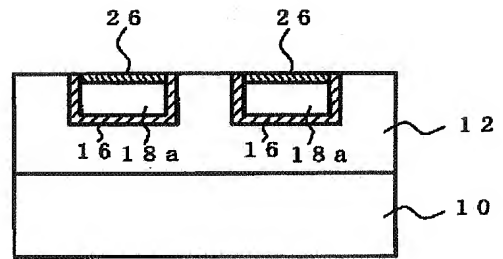


【図 3 7】



【図 3 8】



PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-177128

(43)Date of publication of application : 24.06.1994

(51)Int.Cl.

H01L 21/3205
// H01L 21/203

(21)Application number : 04-351108

(71)Applicant : JAPAN ENERGY CORP

(22)Date of filing : 07.12.1992

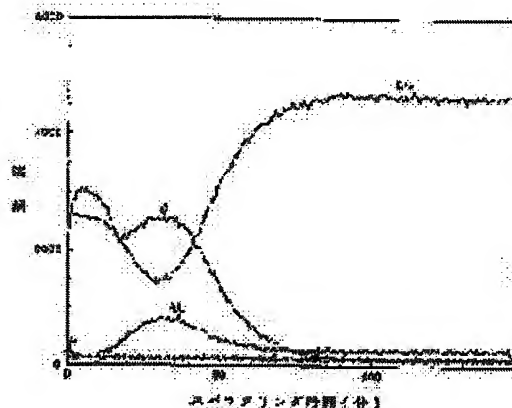
(72)Inventor : IRUMADA SHIYUICHI
FUKUYO HIDEAKI
OHASHI TAKEO
SAWADA SUSUMU

(54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

(57)Abstract:

PURPOSE: To establish a technology allowing heat treatment required for enhancement of oxidation resistance at a specified temperature or below when a copper wiring material is used in a semiconductor device.

CONSTITUTION: In a semiconductor device having a thin film wiring of copper alloy containing 0.02-20 atomic % of aluminium and/or 0.02-20 atomic % of silicon, surface oxide is formed on the thin film wiring by heat treatment at 500° C or below. Al or Si is diffused from bulk part and concentrated in the oxide which thereby functions as a barrier layer against oxidation. The wiring bulk part resembles pure copper because Al or Si is diffused to the surface thereof thus exhibiting low resistance, EM resistance, and SM resistance inherent to copper. The copper alloy wiring thus formed has resistivity of 10. . .cm or below and oxidation resistance thus dealing with high integration of future semiconductor device.



LEGAL STATUS

[Date of request for examination] 31.07.1998

[Date of sending the examiner's decision of rejection] 18.07.2000

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平6-177128

(43)公開日 平成6年(1994)6月24日

(51)Int.Cl.⁵

識別記号

庁内整理番号

FI

技術表示箇所

H 0 1 L 21/3205

// H 0 1 L 21/203

S 8422-4M

7514-4M

H 0 1 L 21/ 88

M

審査請求 未請求 請求項の数5(全 7 頁)

(21)出願番号

特願平4-351108

(22)出願日

平成4年(1992)12月7日

(71)出願人 000231109

株式会社ジャパンエナジー

東京都港区虎ノ門二丁目10番1号

(72)発明者 入間田 修一

茨城県北茨城市華川町白場187番地4株式

会社日鉱共石磯原工場内

(72)発明者 福世 秀秋

茨城県北茨城市華川町白場187番地4株式

会社日鉱共石磯原工場内

(72)発明者 大橋 建夫

茨城県北茨城市華川町白場187番地4株式

会社日鉱共石磯原工場内

(74)代理人 弁理士 倉内 基弘 (外1名)

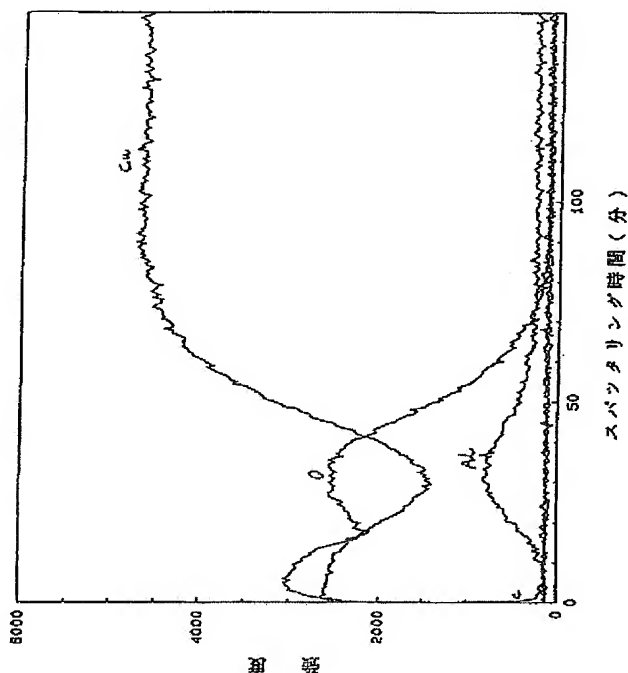
最終頁に続く

(54)【発明の名称】 半導体装置とその製造方法

(57)【要約】

【目的】 半導体装置において銅配線材料を使用するに際して耐酸化性を向上させるための熱処理温度が500℃以下ですむ技術を確認する。

【構成】 0.02~20原子%アルミニウム及び/または0.02~20原子%シリコンを含有する銅合金薄膜配線を備える半導体装置。この組成の薄膜配線は、500℃以下の温度での熱処理で表面酸化膜を形成する。この酸化膜は、図1に示すようにバルク部分からのAlやSiが拡散濃縮しており、酸化に対するバリア層として機能する。配線バルク部分はAlやSiが表面に拡散したために純銅に近く、銅固有の低抵抗、耐EM性、耐SM性を保持する。形成された銅合金配線は比抵抗が10μΩ・cm以下でしかも耐酸化性を備えるため、今後の半導体装置の集積度の増大に対応しうる。



【特許請求の範囲】

【請求項1】 0.02～20原子%アルミニウム及び／または0.02～20原子%シリコンを含有し、残部が銅及び不可避不純物である銅合金からなる薄膜配線を基板上に備えていることを特徴とする半導体装置。

【請求項2】 表面に該銅合金の酸化膜層を備えていることを特徴とする請求項1に記載の半導体装置。

【請求項3】 アルミニウム及び／またはシリコンの優先的選択酸化層を備えていることを特徴とする請求項1ないし請求項2に記載の半導体装置。

【請求項4】 銅合金配線の比抵抗が $10\mu\Omega\cdot\text{cm}$ 以下であることを特徴とする請求項1ないし請求項3に記載の半導体装置。

【請求項5】 0.02～20原子%アルミニウム及び／または0.02～20原子%シリコンを含有し、残部が銅及び不可避不純物である銅合金からなる薄膜配線を基板上に形成し、該薄膜配線を 500°C 以下の温度で熱処理して、酸化膜を形成することを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、少量のアルミニウム及び／またはシリコンを含有する銅合金半導体薄膜配線を基板上に備える半導体装置並びにその製造方法に関するものである。本発明に従う半導体装置は、比抵抗が $10\mu\Omega\cdot\text{cm}$ 以下でありしかも耐酸化性に優れる銅配線を備えるので、今後の半導体集積回路等における集積度の増大に対応しうる。

【0002】

【従来の技術】従来、半導体装置の集積回路等における配線としては、Si等を含有するAlが用いられているが、集積度の増大に伴って素子や配線の微細化が進むと配線抵抗値の増大やエレクトロマイグレーション(EM)が問題となる。一方、高集積化に伴い配線材と下地材との熱膨張の差に起因して、いわゆるストレスマイグレーション(SM)の問題も発生する。

【0003】銅はAlよりも低抵抗で、耐EM性、耐SM性ともに優れていると考えられ、次世代の配線材として期待されている。しかしながら、銅は極めて酸化しやすくまたSiやSiO₂膜などとも反応しやすいという問題があり、これが銅配線実用化の阻害要因となっていた。

【0004】この銅配線の耐酸化性向上の方策として、銅配線の表面にバリア層を形成し、酸素の拡散を防止し銅自身もSiやSiO₂膜中に拡散しないようにする試みが幾つかなされている。このようなバリア層を形成する方法の一つとして、昭和63年度秋季第49回応用物理学会学術講演会講演予稿集、第2分冊(1988)434頁、5p-T-4には、Cu上にTiを配置したモザイクターゲットを用いてスパッタしたCu-Ti膜

を、窒素ガス中 800°C の温度で熱処理することにより窒化チタン層を形成して、耐酸化性に優れしかも比抵抗の小さい銅配線を製造する方法が開示されている。

【0005】

【発明が解決しようとする課題】しかしながら、窒化チタン膜は熱力学的には必ずしも酸素雰囲気中で安定ではなく、そしてこのような窒化チタン層を表面に備えた銅配線を自己整合(セルフアライン)によって形成するためには、 800°C の熱処理を半導体素子の製造プロセスに組込まねばならず、そのためには以下の問題点を解決する必要がある：

(1)半導体装置において通常形成されるp-n接合の耐熱温度は 750°C 程度であり、 800°C の熱処理温度は高すぎる、(2)好ましくは、従来からのアルミニウム配線半導体装置において使用されていたプロセスや材料を極力そのまま使用できる形とすること(例えば 800°C の熱処理温度ではポリイミド等の有機材料が使用出来ない)、(3)集積度の増大に伴って新たに使用される各種材料についても、その選択に大きな制約を受けないこと。

【0006】自己整合(セルフアライン)を前提としなければ、比較的低温で窒化チタン層等のバリア層を形成することも可能であるが、この場合には工程数の増加が避けられない。本発明の課題は、半導体装置において銅配線材料を使用するに際して耐酸化性を向上させるための熱処理温度が 500°C 以下ですむような技術確立することである。

【0007】

【課題を解決するための手段】上記の課題を解決するため熱力学的に安定で緻密な酸化膜を形成すると考えられるアルミニウムとシリコンに着目し、種々検討を重ねたところ、以下の知見を得て本発明を成すに至った。

(1)アルミニウムを0.02～20原子%及び／またはシリコンを0.02～20原子%含有する銅合金薄膜配線を形成し、これを酸化することにより、配線表面近傍にAlやSiを拡散濃縮させた酸化膜を形成することが出来る。この酸化膜は耐酸化性に優れ、同時に配線のバルク部分はAlやSiが表面酸化膜中に拡散したために純銅に近い状態となり、銅が本来有する低抵抗、耐EM性、耐SM性を維持することができる。形成された銅合金配線は比抵抗が $10\mu\Omega\cdot\text{cm}$ 以下であって、しかも耐酸化性を備えるという、集積度の増大に対応した優れた特性を有する。

(2)薄膜配線の酸化処理は 500°C 以下の温度でもたうことが出来る。

【0008】この知見に基づいて、本発明は、(1)0.02～20原子%アルミニウム及び／または0.02～20原子%シリコンを含有し、残部が銅及び不可避不純物であるところの銅合金からなる薄膜配線を基板上に備えていることを特徴とする半導体装置を提供するも

のであり、この場合、薄膜配線は表面に該銅合金の酸化膜層、特にはアルミニウム及び／またはシリコンの優先的選択酸化層を備えていることを特徴とし、また銅合金配線の比抵抗が $10\mu\Omega\cdot\text{cm}$ 以下であることを特徴とする。本発明はまた、 $0.02\sim 20$ 原子%アルミニウム及び／または $0.02\sim 20$ 原子%シリコンを含有し、残部が銅及び不可避不純物であるところの銅合金からなる薄膜配線を基板上に形成し、該薄膜配線を 500°C 以下の温度で熱処理して、酸化膜を形成することを特徴とする半導体装置の製造方法を提供する。

【0009】

【作用】半導体装置の基板上に形成された $0.02\sim 20$ 原子%アルミニウム及び／または $0.02\sim 20$ 原子%シリコンを含有する銅合金薄膜配線は、 500°C 以下の温度で容易に表面酸化膜を形成する。この酸化膜は、配線バルク部分からのAlやSiが拡散濃縮しており、安定した緻密な酸化膜であり、耐酸化性に優れ、バリア層として機能する。同時に配線のバルク部分はAlやSiが表面酸化膜中に拡散したために純銅に近い状態となり、銅が本来有する低抵抗、耐EM性、耐SM性を十分に維持することができる。形成された銅合金配線は比抵抗が $10\mu\Omega\cdot\text{cm}$ 以下であって、しかも耐酸化性を備えるため、この薄膜配線を備える半導体装置は、今後の半導体装置の集積度の増大に対応しうる。

【0010】 $0.02\sim 20$ 原子%アルミニウム及び／または $0.02\sim 20$ 原子%シリコン含有する銅合金薄膜配線は、スパッタリング法、蒸着法、或いはCVD法その他の気相成膜法を使用して基板上に形成される。

【0011】例えばスパッタリング法の場合、上記組成範囲の銅合金ターゲットをスパッタリングすることにより或いはアルミニウム或いはシリコンターゲットと銅ターゲットとを同時にスパッタする方法によって薄膜配線を形成することが出来る。蒸着法の場合には、上記組成範囲の銅合金蒸発源を加熱することによりそしてCVD法の場合には適当な銅、アルミニウム及び／またはシリコン化合物を気相状態で反応せしめることにより薄膜配線を形成することが出来る。

【0012】半導体装置における薄膜配線材中の平均Al、Si含有率を $0.02\sim 20$ 原子%とする理由は、 0.02 原子%を下回ると耐酸化性向上効果が見られず、他方 20 原子%を上回ると比抵抗の好ましい範囲

(限界) $10\mu\Omega\cdot\text{cm}$ を超えてしまうからである。銅合金配線の比抵抗が $10\mu\Omega\cdot\text{cm}$ を超えると、高集積度の半導体装置の配線としては使用に耐えないものとなる。

【0013】形成された薄膜配線は、その残留応力を下げて、比抵抗を下げるために真空或いは不活性雰囲気中で $300\sim 500^\circ\text{C}$ の温度においてアニール処理することが好ましい。このアニール処理だけで、配線材料の組成によっては、雰囲気中に僅かに存在する残存酸素により、薄膜配線が酸化して所要の酸化膜層を自己形成する場合がある。特にAlを含有する場合には、アニール処理だけで必要な酸化効果が得られる。

【0014】上記アニール処理だけで充分の酸化作用が得られない場合には、薄膜配線を酸化するための酸化熱処理が行なわれる。この熱処理温度が 500°C 以下ですむことが本発明の重要なポイントの一つである。 500°C を超えると、半導体装置のp-n接合自身の耐熱性に悪影響が出始め、配線材形成の前後に使用される低誘電率の有機材料(例えばポリイミド等)の変質が起こったり、配線材と下地材との熱膨張の差に起因して配線部の剥離が生じたり、残留応力が原因でストレスマイグレーション(SM)を引き起こしたりする。熱処理雰囲気としては、微量の残存酸素が存在するなら真空或いは不活性ガス雰囲気いずれでもよく、また大気中でもよい。酸化処理は例えば次の条件で実施しうる：

温度： $200\sim 500^\circ\text{C}$ 、雰囲気： $10^{-3}\sim 10\text{Pa}$ の酸素或いは1気圧窒素-1 $\sim 200\text{ppm}$ 酸素、処理時間：10分 ~ 2 時間

【0015】こうして、配線表面近傍にAlやSiを拡散濃縮させつつ酸化膜を形成することが出来る。配線のバルク部分はAlやSiが表面に拡散したために純銅に近い状態となり、銅が本来有する低抵抗($10\mu\Omega\cdot\text{cm}$ 以下)、耐EM性、耐SM性を保持することができる。従って、この配線を備える半導体装置は、今後の集積回路の集積度の増加に充分対応することが出来る。

【0016】

【実施例】以下に、実施例及び比較例を呈示する。これらすべての例において、半導体装置における薄膜配線は次の表1の条件でのスパッタリングにより形成した。

【0017】

【表1】

スパッタ条件	
ターゲット	3インチ(平板型)
投入電力	90W
Ar圧力	1Pa
基板温度	室温
膜厚さ	0.7 μ m
基板	SiO ₂ 被覆ガラス

【0018】例中の耐酸化性テストは以下の表2の条件下での熱処理テストである。

【0019】

【表2】

耐酸化性テスト条件	
熱処理雰囲気	N ₂ -O ₂ (1.4 ppm) 混合ガス、1気圧
熱処理温度	450℃
熱処理時間	60分

【0020】(実施例1-1:比較的多くのAlを含む配線を備える半導体装置)基板にAl含有率12.3原子%の銅合金配線層を形成した。まず、成膜したままの膜(比抵抗:17.9 $\mu\Omega\cdot\text{cm}$)について耐酸化性テストを行ったところ、比抵抗は20.9 $\mu\Omega\cdot\text{cm}$ となり大幅な悪化は見られないものの、その値は高く不十分であった。

【0021】次に、成膜したままの膜を 4×10^{-4} Paの真空中、400℃で1時間熱処理(真空アニール処理)したところ、比抵抗は9.8 $\mu\Omega\cdot\text{cm}$ に低減した。

【0022】この真空アニール膜を、さらに大気中450℃で1時間熱処理(酸化処理)したところ比抵抗は9.9 $\mu\Omega\cdot\text{cm}$ と変化がなかった。図1は、オージェ電子分光法(AES)により「真空アニール+酸化」処理膜の表面から深さ方向へ分析を行った結果で、Alの表面層への拡散と合金酸化物層の形成が認められる。酸化処理の前後で比抵抗変化がないことから、真空アニール処理のみで図1の状態になっているものと考えられる。

【0023】真空アニール膜及び「真空アニール+酸化」処理膜いずれも極めて過酷な条件下においても耐酸化性を有することが判明した。

【0024】(実施例1-2:少量のAlを含む配線を備える半導体装置)基板にAl含有率0.24原子%の銅合金配線層を形成した。次に、成膜したままの膜(比抵抗3.2 $\mu\Omega\cdot\text{cm}$)を1atmのN₂ガス雰囲気

中、(a)300℃及び(b)450℃で1時間熱処理(N₂ガス中アニール処理)したところ、比抵抗はそれぞれ(a)2.8及び(b)2.8 $\mu\Omega\cdot\text{cm}$ となった。

【0025】このN₂ガス中アニール膜(a)を耐酸化性テストによって評価したところ、比抵抗は2.6 $\mu\Omega\cdot\text{cm}$ とむしろ向上し、耐酸化性を有することが判明した。

【0026】(実施例2-1:比較的多くのSiを含む配線を備える半導体装置)基板にSi含有率13.5原子%の銅合金配線層を形成した。まず、成膜したままの膜(比抵抗:45.9 $\mu\Omega\cdot\text{cm}$)について耐酸化性テストを行ったところ、比抵抗は16.2 $\mu\Omega\cdot\text{cm}$ となり、ある程度の低減は見られたものの、その値は高く不十分であった。

【0027】次に、実施例1-1と同一の真空アニール処理を行ったところ、成膜直後に比抵抗45.9 $\mu\Omega\cdot\text{cm}$ であったものが、45.2 $\mu\Omega\cdot\text{cm}$ となり、比抵抗の低減効果は見られなかった。さらに真空アニール膜について実施例1-1と同一の酸化処理(大気中450℃で1時間)を加えたところ、比抵抗は6.1 $\mu\Omega\cdot\text{cm}$ となり、極めて過酷な条件下においても耐酸化性を有することが判明した。図2は、AESにより「真空アニール+酸化」処理膜を表面から深さ方向へ分析を行った結果で、Siの表面層への拡散と合金酸化物層の形成が認められる。酸化処理の後に比抵抗が減少したことから、真空アニール処理のみの段階では図2の状態よりもSiの表面層への拡散や合金酸化物層の形成が不十分であったものと考えられる。

【0028】(実施例2-2:少量のSiを含む配線を備える半導体装置)基板にSi含有率1.0原子%の銅合金配線層を形成した。次に、成膜したままの膜(比抵抗9.8 $\mu\Omega\cdot\text{cm}$)を1atmのN₂ガス雰囲気中、(a)300℃及び(b)450℃で1時間熱処理(N₂ガス中アニール処理)したところ、比抵抗はそれぞれ(a)4.4及び(b)4.5 $\mu\Omega\cdot\text{cm}$ となった。図3は、AESにより450℃、N₂ガス中アニール処理膜表面から深さ方向へ分析を行った結果で、Siの表面層への拡散と合金酸化物層の形成が認められる。このN₂ガス中アニール膜(a)を耐酸化性テストによって評価したところ、比抵抗は2.5 $\mu\Omega\cdot\text{cm}$ とむしろ向上し、耐酸化

性を有することが判明した。

【0029】(実施例3: Al及びSiを含む配線を備える半導体装置) 基板にAl含有率が2.1原子%そしてSi含有率が2.2原子%の銅合金配線層を形成した。次に、成膜したままの膜(比抵抗 $15.4\mu\Omega\cdot\text{cm}$)を1atmの N_2 ガス雰囲気中(a)300°C及び(b)450°Cで1時間熱処理(N_2 ガス中アニール処理)したところ、比抵抗はそれぞれ(a)13.9及び(b)12.5 $\mu\Omega\cdot\text{cm}$ となった。

【0030】この N_2 ガス中アニール膜(a)を耐酸化性テストによって評価したところ、比抵抗は8.7 $\mu\Omega\cdot\text{cm}$ とむしろ向上し、耐酸化性を有することが判明した。

【0031】(比較例1: 純銅配線を備える半導体装置) 基板に純銅配線層を形成した。この銅配線層の耐酸化性を評価するため、耐酸化性テストによって評価を行ったところ、スパッタ膜は酸化され基板から剥離した。

【0032】次に、(a)実施例1-1と同一の真空アニール処理、(b)700°Cにおける真空アニール処理、(c)300°Cで1時間の N_2 ガス中アニール処理、(d)450°Cで1時間の N_2 ガス中アニール処理を行ったところ、スパッタしたままの状態では比抵抗が2.9 $\mu\Omega\cdot\text{cm}$ であったものが、それぞれ、(a)2.3、(b)2.1、(c)2.0、(d)2.1 $\mu\Omega\cdot\text{cm}$ となった。

【0033】この真空アニール膜並びに N_2 ガス中アニール処理膜を耐酸化性テストによって評価しようとしたところ、成膜したままの膜の場合と同様にスパッタ膜は酸化され基板から剥離し、真空アニール処理あるいは N_2 ガス中アニール処理を処理を行っても耐熱性に問題が残ることが判明した。

【0034】(比較例2-1: Cu-Ti合金配線を備える半導体装置) 基板にTi含有率15.0原子%の銅合金配線層を形成した。成膜したままの膜(比抵抗: 148 $\mu\Omega\cdot\text{cm}$)を耐酸化性テストによって評価したところ、比抵抗は444 $\mu\Omega\cdot\text{cm}$ となり比抵抗は大幅に悪化し、成膜したままの状態では耐酸化性を有していないことが判明した。

【0035】耐酸化性を付与するために、まず成膜したままの膜について実施例1-1と同一の真空アニール処理を行ったところ、比抵抗は52.3 $\mu\Omega\cdot\text{cm}$ となった。この真空アニール膜を耐酸化性テストによって評価したところ、比抵抗は49.9 $\mu\Omega\cdot\text{cm}$ となりテスト前後での悪化は見られず一応の耐酸化性を示したが、比抵抗値は高く不十分であった。

【0036】次に、成膜したままの膜(比抵抗148 $\mu\Omega\cdot\text{cm}$)を窒化するべく100Paの $\text{N}_2 + \text{H}_2$ (50%)混合ガス雰囲気中400°Cで1時間熱処理し、この処理によって配線材の比抵抗は48.8 $\mu\Omega\cdot\text{cm}$ となった。この窒化処理膜を耐酸化性テストによって評価したところ、比抵抗は18.4 $\mu\Omega\cdot\text{cm}$ とむしろ向上

した。従って、窒化処理により形成された窒化膜は不安定で、その後の酸化処理によって性質が変化すること、さらなる酸化処理によっても比抵抗値の改善は不十分であることが判明した。

【0037】(比較例2-2: Cu-Ti合金配線を備える半導体装置) $\text{N}_2 + \text{H}_2$ (50%)混合ガスによる処理温度を700°Cとした以外は、比較例2-1と同一の条件で基板にCu-Ti合金配線層を処理した。この処理によって比抵抗は4.0 $\mu\Omega\cdot\text{cm}$ となり、400°Cの場合(48.8 $\mu\Omega\cdot\text{cm}$)よりも大幅に低減し、高集積配線材として使用できるレベルであった。この窒化処理膜を耐酸化性テストにより評価したところ、比抵抗は4.0 $\mu\Omega\cdot\text{cm}$ と変わらず、窒化処理により形成された処理膜は安定で、その後の酸化処理によっても性質が変化せず、高集積配線材として使用できることが確認された。ここで、雰囲気の影響を排除し熱処理のみの効果を把握する目的で、成膜したままの膜を700°Cで真空アニール処理したところ比抵抗は11.9 $\mu\Omega\cdot\text{cm}$ (耐酸化性テストによっても比抵抗は11.9 $\mu\Omega\cdot\text{cm}$)となり、窒化処理の有効性が確認された。

【0038】図4は、AESにより窒化処理膜を表面から深さ方向へ分析を行った結果である。窒素のピークがTiと重なり、判別できないため、X線光電子分光法(XPS)による分析結果を図5として添えた。これらの結果から、表面近傍のTiは多くは酸化物を形成しており、その一部が窒化物を形成していることがうかがえた。

【0039】このように、Cu-Ti合金配線層に関しては、真空アニール処理の場合は所望の比抵抗は得られなかったが、700°Cでの $\text{N}_2 + \text{H}_2$ (50%)混合ガス処理によって高集積配線材として使用できる特性を得ることができた。しかし、700°Cの温度を必要とすること自体が、上述した通り問題なのである。

【0040】

【発明の効果】1. 高集積度に伴い配線が微細化しても、配線抵抗値の増大がみられない半導体装置が得られる。

2. 配線抵抗値の増大がない(すなわち電流密度の増大がない)ので、エレクトロマイグレーション(EM)の問題がなくなる。

3. 配線材と下地材との熱膨張の差が小さいので、ストレスマイグレーション(SM)の問題がなくなる。

4. 配線の耐EM性、耐SM性に優れており、半導体装置の信頼性が維持向上される。

5. 耐酸化性に優れSiや SiO_2 膜などとも反応しない、低温の自己整合による形成が可能な銅配線バリア層を実現し、半導体装置の性能を向上する。

6. アルミ配線半導体において使用されていたプロセスや材料がほぼそのまま使用でき、配線材の変更に起因する半導体装置製造コストの増加を低く抑えられ、イニシ

ャルコスト（建設費）も極めて低くできる。

【図面の簡単な説明】

【図 1】 実施例 1-1 と関連してオージェ電子分光法（AES）により「真空アニール+酸化」処理膜の表面から深さ方向へ分析を行った結果を示す。

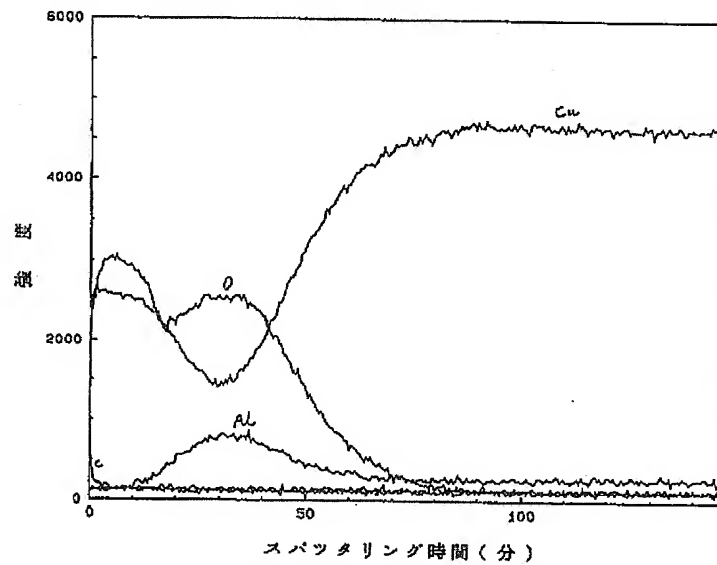
【図 2】 実施例 1-2 と関連して AES により真空アニール+酸化処理膜を表面から深さ方向へ分析を行った結果を示す。

【図 3】 実施例 2-2 と関連して AES により 450 °C、N₂ ガス中アニール処理膜表面から深さ方向へ分析を行った結果を示す。

【図 4】 比較例 2-2 と関連して AES により窒化処理膜を表面から深さ方向へ分析を行った結果を示す。

【図 5】 比較例 2-2 と関連して X 線光電子分光法（XPS）による分析結果を示す。

【図 1】



【図 2】

